

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-258694

(43)Date of publication of application : 08.10.1996

(51)Int.Cl.

B60T 8/88
G01M 17/007
G01R 31/00
G04F 10/04
H03K 21/40

(21)Application number : 07-065873

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 24.03.1995

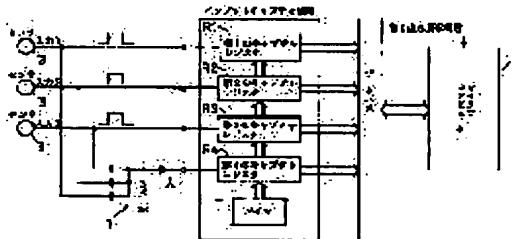
(72)Inventor : SANO KATSUHIKO

(54) FAILURE SENSING METHOD FOR INPUT CAPTURE CIRCUIT

(57)Abstract:

PURPOSE: To establish a failure sensing method for input capture circuit, which can make failure sensing at a low cost without enlarging the magnitude of the circuit configuration.

CONSTITUTION: An input capture circuit is equipped with the first to fourth input capture register R1, R2, R3, R4 which latch the value on a timer T with a trigger input, and to the trigger input of the fourth capture register R4 of this circuit, the trigger inputs to be fed to the other capture registers R1, R2, R3 are fed via an OR circuit 1, and each time the first to third capture register R1, R2, R3 is triggered, the same timer value is latched in the fourth register 4. At failure sensing, the contents of the fourth register R4 are compared with the contents of the other R1, R2, R3 so as to know if they are identical, and thus the failure sensing can be performed at a low cost without enlarging the magnitude of the circuit configuration.



LEGAL STATUS

[Date of request for examination] 12.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3491372

[Date of registration] 14.11.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(51) Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
B 6 0 T 8/88			B 6 0 T 8/88	
G 0 1 M 17/007			G 0 1 R 31/00	
G 0 1 R 31/00			G 0 4 F 10/04	Z
G 0 4 F 10/04			H 0 3 K 21/40	Z
H 0 3 K 21/40			G 0 1 M 17/00	K

審査請求 未請求 請求項の数 3 O L (全 7 頁)

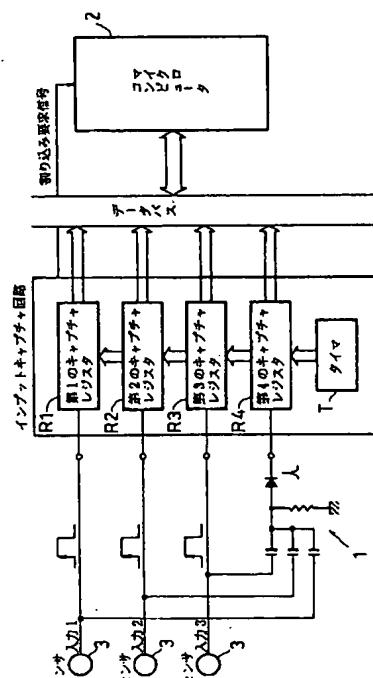
(21)出願番号	特願平7-65873	(71)出願人	000002130 住友電気工業株式会社 大阪府大阪市中央区北浜四丁目5番33号
(22)出願日	平成7年(1995)3月24日	(72)発明者	佐野 勝彦 大阪市此花区島屋一丁目1番3号 住友電 気工業株式会社大阪製作所内
		(74)代理人	弁理士 鎌田 文二 (外2名)

(54)【発明の名称】 インプットキャプチャ回路の故障検出方法

(57)【要約】

【目的】 回路規模を大きくすることなく、低成本で故障検出を行なうことのできるインプットキャプチャ回路の故障検出方法を提供する。

【構成】 タイマTのタイマ値をトリガ入力によってラッチする第1から第4のインプットキャプチャレジスタ(以下キャプチャレジスタ) R1、R2、R3、R4を備えたインプットキャプチャ回路の前記第4のキャプチャレジスタ R4のトリガ入力に、他のキャプチャレジスタ R1、R2、R3に入力されるトリガ入力をOR回路1を介して入力し、第1から第3のキャプチャレジスタ R1、R2、R3がトリガされるごとに第4のキャプチャレジスタ R4に同じタイマ値がラッチされるようになる。そして、故障検出の際には第4のキャプチャレジスタ R4のレジスタの内容と他のキャプチャレジスタ R1、R2、R3のレジスタの内容とが一致するかを検出し、故障検出を行なうことにより、回路規模を大きくすることなく低成本で故障検出を行なえるようにする。



【特許請求の範囲】

【請求項1】 タイマとそのタイマの出力するタイマの値をトリガ入力へのトリガ信号でラッチする複数のインプットキャプチャレジスタを備えたインプットキャプチャ回路の、前記複数のキャプチャレジスタの内の一つのレジスタのトリガ入力に、他のキャプチャレジスタのトリガ入力に入力される複数のトリガ信号をOR回路を介して入力し、その入力されたOR信号によりトリガされて前記一つのレジスタにラッチされたタイマの値と、他のキャプチャレジスタにラッチされたタイマの値とを比較し、その比較結果からインプットキャプチャ回路の故障を検出するインプットキャプチャ回路の故障検出方法。

【請求項2】 上記OR回路を介してトリガ信号の入力された上記一つのキャプチャレジスタにラッチされたタイマの値と、他のキャプチャレジスタにラッチされたタイマの値との比較を行なう際、前記OR回路を介してトリガ信号を入力したキャプチャレジスタにラッチされたタイマの値が、他のキャプチャレジスタにラッチされたタイマの値のいずれとも一致しないと、インプットキャプチャレジスタ回路に故障が発生したこととする請求項1に記載のインプットキャプチャ回路の故障検出方法。

【請求項3】 上記OR回路を介してトリガ信号の入力された上記一つのキャプチャレジスタがトリガされた際、そのトリガ回数をカウントし、そのカウント数が所定時間内に所定回数以上に達すると、故障検出を停止させることを特徴とする請求項1または2に記載のインプットキャプチャ回路の故障検出方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばABS(アンチロックブレーキシステム)の電子制御ユニットの車輪速度入力回路などに使用されるインプットキャプチャ回路の故障検出方法に関するものである。

【0002】

【従来の技術】 回転速度や移動速度を測定する際によく用いられる回路としてインプットキャプチャ回路(以下、キャプチャ回路)がある。

【0003】 キャプチャ回路は、例えば、図5に示すように、タイマTとそのタイマTの出力するタイマTの値をトリガ信号によりラッチして読込む複数のインプットキャプチャレジスタ(以下、キャプチャレジスタ)R1、R2とを備え、その速度検出の仕組みは、例えば回転軸の回転速度を計測する場合、回転軸に回転軸がある角度になった時にトリガ信号を発生させるような機構を設け、そのトリガ機構からの最初のトリガ信号で、第1のキャプチャレジスタR1にその時のタイマTの値をラッチし、次に、回転軸が1回転し、再び発生したトリガ信号で、第2のキャプチャレジスタR2にタイマTの値をラッチして第2のキャプチャレジスタR2から第1の

キャプチャレジスタR1の値を引けば回転軸が1回転するのにかかった時間がわかり、この時間が回転軸の回転速度を知ることができるというものである。

【0004】 このようにキャプチャ回路は、時間計測が簡単かつ正確に行なえるため、いろいろな所で用いられており、例えばABS(アンチロックブレーキシステム)装置の電子制御ユニットの車輪速度測定回路等でも使用されている。

【0005】 ところで、上記のABS装置の使用されるキャプチャ回路では、安全上の観点から誤動作や動作ミスなどが許されず、そのため、従来は図6に示すように、キャプチャレジスタR1、R2を2重系にして双方のキャプチャレジスタR1、R2、r1、r2から得られた結果を照合比較することにより、故障の検出を行なうという方法が取られている。

【0006】

【発明が解決しようとする課題】 しかしながら、上記の故障検出方法では、故障検出対象となる信号線に対して2倍のキャプチャレジスタが必要となるため、回路規模が大きくなり、コスト高になるという問題がある。

【0007】 そこで、この発明の課題は、故障検出を回路規模を大きくすることなく低コストで行なうことのできるインプットキャプチャ回路の故障検出方法を提供することである。

【0008】

【課題を解決するための手段】 上記の課題を解決するため、第1の発明では、タイマとそのタイマの出力するタイマの値をトリガ入力へのトリガ信号でラッチする複数のインプットキャプチャレジスタを備えたインプットキャプチャ回路の、前記複数のキャプチャレジスタの内の一つのレジスタのトリガ入力に、他のキャプチャレジスタのトリガ入力に入力される複数のトリガ信号をOR回路を介して入力し、その入力されたOR信号によりトリガされて前記一つのレジスタに格納されたタイマの値と他のキャプチャレジスタにラッチされたタイマの値とを比較し、その比較結果からインプットキャプチャ回路の故障を検出するという方法を採用したのである。

【0009】 また、第2の発明では、上記OR回路を介してトリガ信号の入力された上記一つのキャプチャレジスタにラッチされたタイマの値と、他のキャプチャレジスタにラッチされたタイマの値との比較を行なう際、前記OR回路を介してトリガ信号を入力したキャプチャレジスタにラッチされたタイマの値が、他のキャプチャレジスタにラッチされたタイマの値のいずれとも一致しないと、インプットキャプチャレジスタ回路に故障が発生したこととするという方法を採用したのである。

【0010】 第3の発明では、上記OR回路を介してトリガ信号の入力された上記一つのキャプチャレジスタがトリガされた際、そのトリガ回数をカウントし、そのカウント数が所定時間内に所定回数以上に達すると、故障

検出を停止させるという方法を採用したのである。

【0011】

【作用】このように構成される第1の発明では、複数個あるトリガ入力のいずれかにトリガ信号が入力され、そのトリガ信号が入力されたキャプチャレジスタがタイマの値をラッチすると、そのトリガ入力とOR回路を介してOR接続されたキャプチャレジスタにもトリガ信号が入力されるため、タイマの値を同時にラッチすることができる。

【0012】すなわち、OR回路を介してトリガ信号が入力されるキャプチャレジスタは、複数のトリガ入力のいずれかにトリガ信号が入力される度に、トリガ信号が入力されたキャプチャレジスタと同じタイマの値をラッチし、読むことができる。

【0013】そのため、OR回路を介してトリガ信号が入力されるキャプチャレジスタにラッチされたタイマの値とトリガ信号が入力されるキャプチャレジスタの値を比較するようにすれば、キャプチャ回路の故障を検出することができる。

【0014】このとき、第2の発明では、キャプチャ回路が正常に機能するならば、いつ比較をしても、OR回路を介してトリガ信号の入力されるキャプチャレジスタがラッチした値をラッチしているキャプチャレジスタが、他のキャプチャレジスタの中には必ずあるはずである。したがって、OR回路を介してトリガ信号の入力されるキャプチャレジスタの値が、全てのキャプチャレジスタのタイマの値と一致しないことを検出することによって、キャプチャ回路の故障を検出することができる。そのため、任意のタイミングで故障の検出が行なえる。

【0015】また、第3の発明では、OR回路を介してトリガ信号の入力されたキャプチャレジスタがトリガされる回数は、キャプチャ回路の全レジスタ数を例えればnとすると、他のレジスタのn-1倍となることから、入力されるトリガ信号の周波数も高くなり、他のレジスタが動作できる場合でも動作不能に陥入って、誤った値を出力することが考えられる。

【0016】そのため、前記OR回路を介して入力されるトリガ数をカウントし、例えば、そのカウントの所定時間内のカウント数を取るようにすれば、OR回路を介してトリガ信号の入力されるキャプチャレジスタのトリガ周波数を計算することができるので、そのカウントを所定の回数例えば、キャプチャレジスタの最高動作周波数以下とし、それを越えると故障検出を中止するようにすれば、誤った故障検出を未然に防止することができるのである。

【0017】

【実施例】以下、この発明を図面に基づいて説明する。

【0018】図1に第1実施例として第1の発明に係るキャプチャ回路を示す。

【0019】このキャプチャ回路はタイマTとそのタイ

マTの出力するタイマTの値をトリガ入力へのトリガ信号でラッチする4個のキャプチャレジスタR1、R2、R3、R4を備え、そのうちの1つのレジスタR4のトリガ入力に、他の第1から第3のキャプチャレジスタR1、R2、R3のトリガ入力に入力される3つのトリガ信号をOR回路1を介して入力し、入力1から入力3に入力される3つのトリガ信号によって3個の異なったタイマTの値をラッチすることができるようとしたものである。

【0020】第1から第4の各キャプチャレジスタR1、R2、R3、R4は、実施例の場合、正エッジトリガタイプのもので、入力パルスの立ち上がりエッジでタイマTの値をラッチする。

【0021】これらレジスタR1、R2、R3、R4の各データ出力は、マイクロコンピュータ2などの制御手段とデータバスを介して接続されており、マイクロコンピュータ2が第1から第4の各レジスタR1、R2、R3、R4のラッチした内容を読み取れるようになっている。

【0022】また、キャプチャ回路には、第1から第3のキャプチャレジスタR1、R2、R3がタイマTの値を読み込んだ際、アクティブとなる割り込み出力が設けられており、この割り込み出力を実施例では、マイクロコンピュータ2の割り込み入力と接続することにより、キャプチャレジスタR1、R2、R3、R4に新しいタイマTの値がセットされると、そのセットされたことをマイクロコンピュータ2が検出してセットされた値を読み取ることができるようになっている。

【0023】OR回路1は、実施例の場合、OR接続された微分用コンデンサと抵抗及びダイオードからなるエッジ合成回路で、図2に示すように、複数の方形波トリガパルスの入力エッジを合成して幅の狭いトリガ用の故障検出用信号を生成する。このとき、図1のダイオードは、微分用コンデンサにより作られる負の微分パルスが第4のレジスタR4のトリガ入力に印加されないように設けたものである。

【0024】そして、このようにトリガパルスを微分して、前記レジスタ用の幅の狭いトリガ信号を合成するようにしたことにより、図2に示すように、方形波パルスが重なって入力された場合でも第4のキャプチャレジスタR4をトリガできるようにしたのである。

【0025】なお、実施例では、第1から第4のキャプチャレジスタR1、R2、R3、R4に、パルスの立ち上がりでタイマTの値をラッチする正エッジトリガのものについて述べたが、これに限定される事はなく、負エッジトリガや正負両エッジトリガあるいはレベルトリガを行なうものでもよい。その場合、当然OR回路1は前記のトリガ形式に合わせて前記レジスタR1、R2、R3、R4をトリガしやすい回路に変更する。

【0026】この実施例は、以上のように構成されてお

り、次にその作用を述べることにより、第1の発明に係るキャプチャ回路の故障検出方法を説明することにする。

【0027】このキャプチャ回路では、図1に示すように、第1から第3のキャプチャレジスタR1、R2、R3のトリガ入力に例えば、方形波パルスを出力する回転センサ3などを接続することにより、そのセンサ3から方形波パルスが入力されると、そのパルスをトリガパルスとして、パルスの立ち上がりエッジでタイマTの出力する値をラッチする。また、そのトリガパルスは、OR回路1によって第4のキャプチャレジスタR4に入力されており、前記第4のレジスタR4はタイマTの出力する値を前記トリガ入力にトリガパルスの入力されたキャプチャレジスタR1、R2、R3と同時にラッチする。

【0028】このとき、図2に示すように、トリガパルスが重なって出力された場合でも、第4のキャプチャレジスタR4は、OR回路1によりトリガされるので、第1から第3のキャプチャレジスタR1、R2、R3と同じタイマTの値を読み込むことができる。

【0029】その結果、第4のキャプチャレジスタR4のレジスタ内容と、他の第1から第3のキャプチャレジスタR1、R2、R3の内容とを比べその違いを検出することにより故障を検出することができる。その際、ハードウェアのバラツキなどのため、レジスタR1、R2、R3、ある4の内容が極めて僅かずれがあるが、その場合は、許容範囲を定めることにより対処すればよい。

【0030】このように、この方法によればキャプチャレジスタR1、R2、R3ごとに故障検出用のキャプチャレジスタR1、R2、R3、R4を設けることなく故障の検出が行なえる。

【0031】次に、第2の実施例として第2の発明に係る故障検出方法を説明する。

【0032】この実施例では、図1に示す第1実施例のキャプチャ回路のマイクロコンピュータ2に、図3に示す故障検出ルーチンとこのルーチンを適宜起動するソフトウェアによるタイマ回路を備えたものであって、故障の検出を任意のタイミングで行なうというものである。

【0033】すなわち、この方法では、マイクロコンピュータ2がソフトウェアタイマにより任意に前記ルーチンを起動すると、前記ルーチンは、第4のキャプチャレジスタR4の内容と第1から第3のキャプチャレジスタR1、R2、R3の内容とを順に読み出し、そして比較する。このとき、第4のキャプチャレジスタR4は第1から第3のキャプチャレジスタR1、R2、R3のうち最も新しいトリガパルスが入力されたキャプチャレジスタR1、R2、R3と同じタイマTの値を読み込んでおり、キャプチャ回路が正常なら任意のタイミングで比較しても、第4のキャプチャレジスタR4の内容は、第1から第3のキャプチャレジスタR1、R2、R3のいずれか

の内容と一致するはずである。そのため、第4のキャプチャレジスタR4と第1から第3のキャプチャレジスタR1、R2、R3の内容とが全て異なることを検出することにより、任意のタイミングで故障の検出を行なうことができる。

【0034】図5に第3実施例として第3の発明の故障検出方法を適用したキャプチャ回路を示す。

【0035】この回路は、図1の第1実施例のキャプチャ回路のマイクロコンピュータ2に例えば、ソフトウェアあるいはハードウェアによるカウンタ4と、前記カウンタ4をインクリメントする計数用のルーチンを設けて、キャプチャ回路からの割り込み要求信号が出力されると、その回数を計数するようになっており、第4のキャプチャレジスタR4のトリガ回数が計数できるようになっている。この計数値をマイクロコンピュータ2は例えば単位時間ごとに読み取って、前記第4のレジスタR4の動作周波数を計測し、あらかじめ、設定された前記動作周波数の上限値と比較する。そして、計数値が上限値を上回った場合、マイクロコンピュータ2が故障検出動作、すなわち第4のキャプチャレジスタR4と第1から第3のキャプチャレジスタR1、R2、R3との比較処理を中止するようになっている（速度検出は続行しても良い）。

【0036】そして、このような方法をとることにより、第4のキャプチャレジスタR4が他のレジスタR1、R2、R3と比べ、実施例の場合では最大で3倍の動作周波数で駆動されることから生じる誤出力による間違った故障検出を防止することができる。

【0037】なお、実施例では、マイクロコンピュータがトリガの回数を計数するのに割り込み要求信号を用いたが、これに限定されることはなく例えば、トリガパルスから直接計数するようにしても良い。

【0038】

【効果】以上のような方法により、第1の発明では、インプットキャプチャ回路の複数のキャプチャレジスタの一つのトリガ入力に、他のキャプチャレジスタのトリガ入力に人力される複数のトリガ信号をOR回路を介して入力し、そのOR回路を介してトリガ信号の入力されるキャプチャレジスタと他のレジスタとを比較し、故障検出を行うようにしたので、一つのキャプチャレジスタで複数のキャプチャレジスタの故障を検出できる。そのため、従来、故障検出のために、キャプチャレジスタごとに故障検出用のレジスタを設け、回路が大規模かつ高コストになっていたインプットキャプチャ回路を比較的小規模かつ低コストで実現できる。

【0039】第2の発明では、上記効果に加え、任意のタイミングで故障の検出を行なうことができるため、タイミングを取るための機構を必要とせず装置を簡略化できるので、コストの低減を図ることができる。

【0040】第3の発明では、上記効果に加え、動作不

良による誤検出を防止できるので、信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】第1実施例のブロック図

【図2】第1実施例のトリガ信号を説明する作用図

【図3】第2実施例を示すフローチャート図

【図4】第3実施例のブロック図

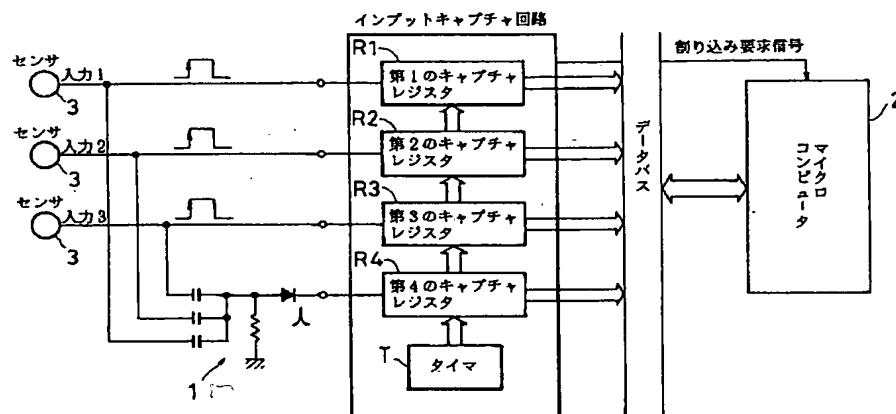
【図5】従来例のブロック図

【図6】従来例のブロック図

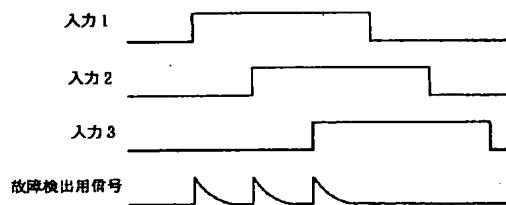
【符号の説明】

1	OR回路
2	マイクロコンピュータ
3	センサ
4	カウンタ
R	キャプチャレジスタ
T	タイマ
R1	第1のキャプチャレジスタ
R2	第2のキャプチャレジスタ
R3	第3のキャプチャレジスタ
R4	第4のキャプチャレジスタ
10	R4 第4のキャプチャレジスタ

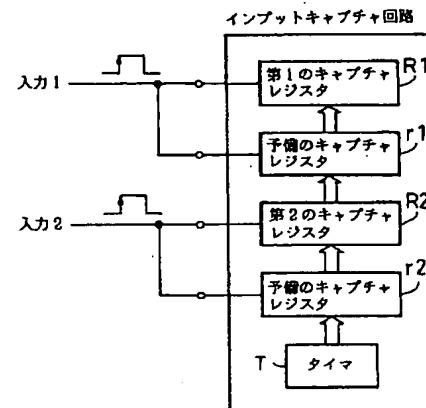
【図1】



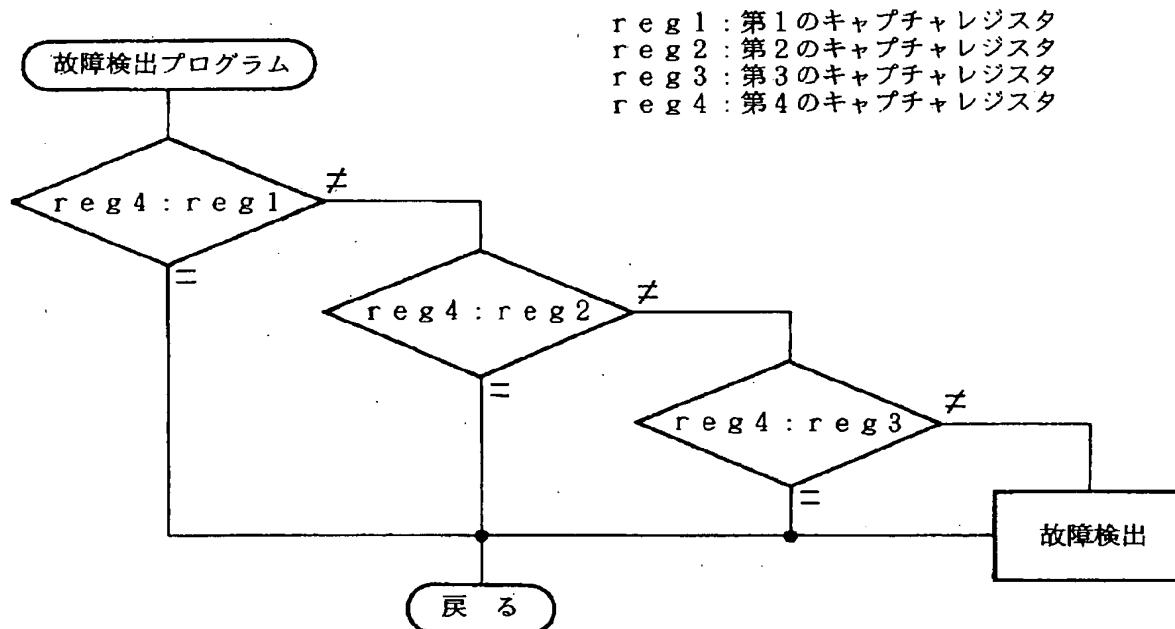
【図2】



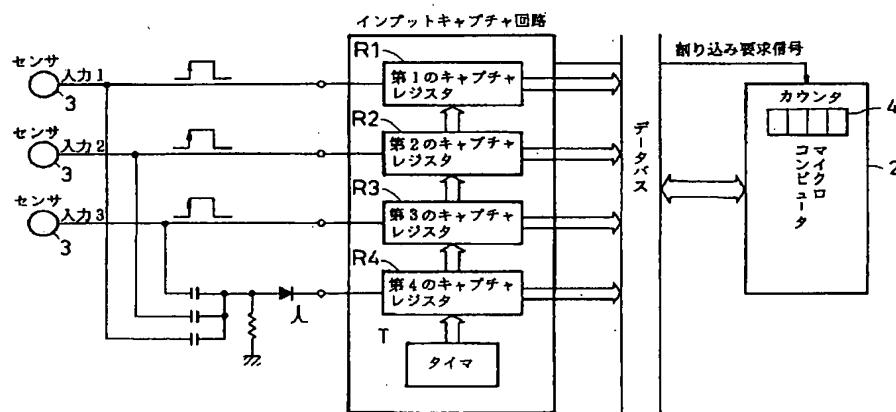
【図6】



【図3】



【図4】



【図5】

